

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Hiroki MOURI et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed November 28, 2003 : **Attorney Docket No. 2003_1721A**
WOBBLE SIGNAL PROCESSING :
APPARATUS :

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

THE COMMISSIONER IS AUTHORIZED
TO CHARGE ANY DEFICIENCY IN THE
FEES FOR THIS PAPER TO DEPOSIT
ACCOUNT NO. 23-0975

Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2002-348374, filed November 29, 2002, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Hiroki MOURI et al.

By Thomas D. Robbins

Thomas D. Robbins
Registration No. 43,369

for

Jeffrey R. Filipek
Registration No. 41,471
Attorney for Applicants

TDR/JRF/fs
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
November 28, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月29日

出 願 番 号
Application Number:

特願2002-348374

[ST.10/C]:

[JP 2002-348374]

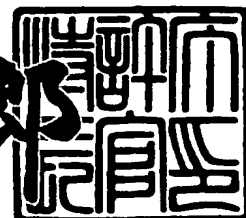
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 6月 5日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3043733

【書類名】 特許願

【整理番号】 2037640123

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10
G11B 7/004

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 毛利 浩喜

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 岡本 好史

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 小倉 洋一

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100081813

 【弁理士】

 【氏名又は名称】 早瀬 憲一

 【電話番号】 06(6395)3251

【手数料の表示】

 【予納台帳番号】 013527

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ウォブル信号処理装置

【特許請求の範囲】

【請求項 1】 記録再生可能な光ディスク媒体に記録されている情報を読み出すピックアップと、

前記ピックアップから読み出されたウォブル 2 値化信号のエッジを平均化して出力する W B L 2 値化回路と、

前記ピックアップから読み出されたウォブル信号をデジタル信号に変換する A D C (Analog Digital Converter) と、

前記 A D C から出力される信号に基づいて、データのアドレス情報である A D I P (Address In Pre-Groove) 信号を検出するアドレス検出回路と、

前記ピックアップから読み出された R F 信号に基づき、ウォブル 2 値化信号波形を生成する波形整形回路と、

前記波形整形回路により生成された波形を参照し、前記 W B L 2 値化回路から出力されたウォブル 2 値化信号の位相調整を行う位相調整回路と、

前記位相調整回路に接続され、位相調整後のデータをもとに同期クロックを生成する P L L (Phase Locked Loop) 回路とを備え、

前記アドレス検出回路、および波形整形回路を、デジタル方式により構成することを特徴とするウォブル信号処理装置。

【請求項 2】 請求項 1 に記載のウォブル信号処理装置において、

前記波形整形回路は、デジタルフィルタである B P F (Band Pass Filter) を具備するものであり、

前記デジタルフィルタは、該デジタルフィルタの特性が発散した際に、該デジタルフィルタを初期化するリセット機能を有する I I R 型 (Infinity Impulse Response) のデジタルフィルタ構成からなることを特徴とするウォブル信号処理装置。

【請求項 3】 請求項 1 に記載のウォブル信号処理装置において、

前記アドレス検出回路は、デジタルフィルタである L P F (Low Pass Filter) を具備するものであり、

前記デジタルフィルタは、該デジタルフィルタの特性が発散した際に、該デジタルフィルタを初期化するリセット機能を有する I I R 型のデジタルフィルタ構成からなることを特徴とするウォブル信号処理装置。

【請求項 4】 請求項 2 または請求項 3 の何れかに記載のウォブル信号処理装置において、

前記デジタルフィルタは、最適なタップ係数値を算出するとともに、当該タップ係数値を外部に設けられた記憶部に記憶しておき、前記記憶部に記憶した最適なタップ係数値を用いて以降のフィルタリングを行なうことを特徴とするウォブル信号処理装置。

【請求項 5】 請求項 3 に記載のウォブル信号処理装置において、

前記アドレス検出回路は、前記 A D C からの出力をフィルタリングするデジタルフィルタと、

前記デジタルフィルタからの出力信号の誤り訂正を行ない、該誤り訂正を行なった信号を用いて A D I P 信号を検出する P R M L (Partial Response Maximum Likelihood) 回路とからなることを特徴とするウォブル信号処理装置。

【請求項 6】 請求項 5 に記載のウォブル信号処理装置において、

前記 P R M L 回路の P R M L 方式は、P R (a 、 b) 方式であることを特徴とするウォブル信号処理装置。

【請求項 7】 請求項 6 に記載のウォブル信号処理装置において、

前記 P R (a 、 b) 方式におけるパラメータ値は、 $a = b$ という関係式であることを特徴とするウォブル信号処理装置。

【請求項 8】 請求項 5 に記載のウォブル信号処理装置において、

前記 P R M L 回路は、サンプリング方式としてピークサンプリング方式とオフセットサンプリング方式とを切り替えて行なうことを特徴とするウォブル信号処理装置。

【請求項 9】 請求項 8 に記載のウォブル信号処理装置において、

前記 P R M L 回路は、サンプリング周期として 8 T 周期でサンプリングすることを特徴とするウォブル信号処理装置。

【請求項 1 0】 請求項 5 に記載のウォブル信号処理装置において、

前記 P R M L 回路は、前記 P R M L 方式におけるビタビ復号器の演算回路においてユークリッド距離の演算を規格化して行なうことを特徴とするウォブル信号処理装置。

【請求項 1 1】 請求項 3 に記載のウォブル信号処理装置において、

前記アドレス検出回路は、前記 A D C からの出力をフィルタリングする第 1 のデジタルフィルタと、

前記第 1 のデジタルフィルタからの出力信号を参照して前記 W B L 2 値化回路から出力されるウォブル 2 値化信号の位相調整を行ない、位相調整信号を出力する位相調整回路と、

前記第 1 のデジタルフィルタの出力信号と、前記位相調整信号とを乗算する乗算器と、

前記乗算器からの出力をフィルタリングする第 2 のデジタルフィルタと、

前記第 1 のデジタルフィルタからの出力信号を 2 値化し、当該 2 値化した信号に対してエッジを平均化して、A D I P 信号を出力するためのクロックを生成するエッジ平均化回路と、

前記エッジ平均化回路から出力されるクロックに基づいて前記第 2 のデジタルフィルタからの出力信号を 2 値化し、A D I P 信号を出力する 2 値化回路とからなることを特徴とするウォブル信号処理装置。

【請求項 1 2】 請求項 2、または請求項 1 1 に記載のウォブル信号処理装置において、

前記位相調整回路は、ウォブル 2 値化信号と前記デジタルフィルタ後のウォブル信号との位相差を算出し、

前記ウォブル 2 値化信号を遅延させて位相を調整することを特徴とするウォブル信号処理装置。

【請求項 1 3】 請求項 1 2 に記載のウォブル信号処理装置において、

前記位相調整回路は、予め算出されたクロック遅延情報をカウンタ処理することで位相のずれを補正することを特徴とするウォブル信号処理装置。

【請求項 1 4】 請求項 3 に記載のウォブル信号処理装置において、

前記アドレス検出回路は、前記 A D C からの出力をフィルタリングするデジタ

ルフィルタと、

前記デジタルフィルタからの出力を所定の閾値で切り分けてデジタル処理することにより A D I P 信号を検出する D S V (Digital Sum Value) 演算器とからなることを特徴とするウォブル信号処理装置。

【請求項 1 5】 請求項 1 に記載のウォブル信号処理装置において、

前記アドレス検出回路は、前記 A D C からの出力をフィルタリングするデジタルフィルタと、

前記デジタルフィルタからの出力を 2 値化する 2 値化回路と、

前記 2 値化回路から出力される信号の + 1 と - 1 の数をカウントするカウンタ回路とからなり、前記カウンタ回路のカウント値が予め設定された所定の値となることにより A D I P 信号を検出することを特徴とするウォブル信号処理装置。

【請求項 1 6】 請求項 1 に記載のウォブル信号処理装置において、

前記 A D C は、ビット分解能 7 ビットで構成することを特徴とするウォブル信号処理装置。

【請求項 1 7】 請求項 1 に記載のウォブル信号処理装置において、

前記アドレス検出回路に接続される A G C (Auto Gain Control) 回路を備え

前記 A G C 回路は、前記光ディスク媒体におけるクロストークの影響で A D I P 部の振幅が減少、或いは増大した場合に自動的に振幅調整を行なうことを特徴とするウォブル信号処理装置。

【請求項 1 8】 請求項 1 に記載のウォブル信号処理装置において、

前記ピックアップは、波形の歪み具合に応じて、ピックアップレーザのビームスポット径を調整し、信号成分抽出度合いを調節する開口率判定器を備えることを特徴とするウォブル信号処理装置。

【請求項 1 9】 請求項 1 に記載のウォブル信号処理装置において、

該ウォブル信号処理装置は、前記 P L L 回路より供給される同期クロックにて動作し、前記同期クロックは、ディスクの角速度に対応するように切り替えられることを特徴とするウォブル信号処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

【 0 0 0 2 】

本発明は光ディスク記録媒体に対するデジタル信号処理技術の信号処理方式に関するものである。

【 0 0 0 3 】

【従来の技術】

従来のウォブル信号処理装置では、アナログ方式によって信号処理を行う手段が用いられており（例えば、特許文献 1 参照）、このような従来のウォブル信号処理装置において、トラックのウォブルに位相変調を施す方法としては、BPSK、DPSK、QPSK方式が提案されている。

【 0 0 0 4 】

【特許文献 1】

特公平 6 - 1 9 8 9 8 号公報

【非特許文献 1】

辻井重男著、「デジタル信号処理」，昭晃堂，p. 6 6 - 7 7

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、前記従来のウォブル信号処理装置におけるアナログ方式処理では、半導体プロセスにおけるプロセスばらつきによる影響を受けやすく、例えば、抵抗値や容量値が設計値より数%～数十%ずれるといったことが起こる。同様に電源部において電源電圧値がずれると、細かい設計値を必要とするアナログ方式では致命的なことになる恐れがある。具体的には、BPF、LPFのカットオフ周波数などフィルタのパラメータがずれることが生じ、フィルタの特性劣化が生じたり、アナログ部の電源値が設計値である値を安定して得ることができず電源電圧特性が変動しフィルタの特性劣化が生じたりする。また、アナログ方式であるため遅延量がばらつき、それゆえ、位相補償するための回路が必要となるため回路規模、及び消費電流が増大することとなる。

【 0 0 0 6 】

本発明は上記問題点に鑑みてなされたものであり、回路規模の縮小及び低電力化を図ることができるとともに、信号処理品質を向上することができるウォブル信号処理装置を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

前記課題を解決するために、本発明にかかるウォブル信号処理装置は、記録再生可能な光ディスク媒体に記録されている情報を読み出すピックアップと、前記ピックアップから読み出されたウォブル2値化信号のエッジを平均化して出力するWBL2値化回路と、前記ピックアップから読み出されたウォブル信号をデジタル信号に変換するADC（Analog Digital Converter）と、前記ADCから出力される信号に基づいて、データのアドレス情報であるADIP（Address In Pre-Groove）信号を検出するアドレス検出回路と、前記ピックアップから読み出されたRF信号に基づき、ウォブル2値化信号波形を生成する波形整形回路と、前記波形整形回路により生成された波形を参照し、前記WBL2値化回路から出力されたウォブル2値化信号の位相調整を行う位相調整回路と、前記位相調整回路に接続され、位相調整後のデータをもとに同期クロックを生成するPLL（Phase Locked Loop）回路とを備え、前記アドレス検出回路、および波形整形回路を、デジタル方式により構成することを特徴とするものである。

【 0 0 0 8 】

また、本発明にかかるウォブル信号処理装置は、前記波形整形回路が、デジタルフィルタであるBPF（Band Pass Filter）を具備するものであり、前記デジタルフィルタは、該デジタルフィルタの特性が発散した際に、該デジタルフィルタを初期化するリセット機能を有するIIR型（Infinity Impulse Response）のデジタルフィルタ構成からなることを特徴とするものである。

【 0 0 0 9 】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路が、デジタルフィルタであるLPF（Low Pass Filter）を具備するものであり、前記デジタルフィルタは、該デジタルフィルタの特性が発散した際に、該デジタルフィルタを初期化するリセット機能を有するIIR型のデジタルフィルタ構成から

なることを特徴とするものである。

【 0 0 1 0 】

また、本発明にかかるウォブル信号処理装置は、前記デジタルフィルタが、最適なタップ係数値を算出するとともに、当該タップ係数値を外部に設けられた記憶部に記憶しておき、前記記憶部に記憶した最適なタップ係数値を用いて以降のフィルタリングを行なうことを特徴とするものである。

【 0 0 1 1 】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路が、前記ADCからの出力をフィルタリングするデジタルフィルタと、前記デジタルフィルタからの出力信号の誤り訂正を行ない、該誤り訂正を行なった信号を用いてADIP信号を検出するPRML (Partial Response Maximum Likelihood) 回路とからなることを特徴とするものである。

【 0 0 1 2 】

また、本発明にかかるウォブル信号処理装置は、前記PRML回路のPRML方式が、PR (a、b) 方式であることを特徴とするものである。

【 0 0 1 3 】

また、本発明にかかるウォブル信号処理装置は、前記PR (a、b) 方式におけるパラメータ値が、 $a = b$ という関係式であることを特徴とするものである。

【 0 0 1 4 】

また、本発明にかかるウォブル信号処理装置は、前記PRML回路が、サンプリング方式としてピークサンプリング方式とオフセットサンプリング方式とを切り替えて行なうことを特徴とするものである。

【 0 0 1 5 】

また、本発明にかかるウォブル信号処理装置は、前記PRML回路が、サンプリング周期として8T周期でサンプリングすることを特徴とするものである。

【 0 0 1 6 】

また、本発明にかかるウォブル信号処理装置は、前記PRML回路が、前記PRML方式におけるビタビ復号器の演算回路においてユークリッド距離の演算を規格化して行なうことを特徴とするものである。

【 0 0 1 7 】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路が、前記ADCからの出力をフィルタリングする第1のデジタルフィルタと、前記第1のデジタルフィルタからの出力信号を参照して前記WBL2値化回路から出力されるウォブル2値化信号の位相調整を行ない、位相調整信号を出力する位相調整回路と、前記第1のデジタルフィルタの出力信号と、前記位相調整信号とを乗算する乗算器と、前記乗算器からの出力をフィルタリングする第2のデジタルフィルタと、前記第1のデジタルフィルタからの出力信号を2値化し、当該2値化した信号に対してエッジを平均化して、ADIP信号を出力するためのクロックを生成するエッジ平均化回路と、前記エッジ平均化回路から出力されるクロックに基づいて前記第2のデジタルフィルタからの出力信号を2値化し、ADIP信号を出力する2値化回路とからなることを特徴とするものである。

【 0 0 1 8 】

また、本発明にかかるウォブル信号処理装置は、前記位相調整回路が、ウォブル2値化信号と前記デジタルフィルタ後のウォブル信号との位相差を算出し、前記ウォブル2値化信号を遅延させて位相を調整することを特徴とするものである。

【 0 0 1 9 】

また、本発明にかかるウォブル信号処理装置は、前記位相調整回路が、予め算出されたクロック遅延情報をカウンタ処理することで位相のずれを補正することを特徴とするものである。

【 0 0 2 0 】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路が、前記ADCからの出力をフィルタリングするデジタルフィルタと、前記デジタルフィルタからの出力を所定の閾値で切り分けてデジタル処理することによりADIP信号を検出するDSV (Digital Sum Value) 演算器とからなることを特徴とするものである。

【 0 0 2 1 】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路が、前

記ADCからの出力をフィルタリングするデジタルフィルタと、前記デジタルフィルタからの出力を2値化する2値化回路と、前記2値化回路から出力される信号の+1と-1の数をカウントするカウンタ回路とからなり、前記カウンタ回路のカウント値が予め設定された所定の値となることによりADIP信号を検出することを特徴とするものである。

【0022】

また、本発明にかかるウォブル信号処理装置は、前記ADCを、ビット分解能7ビットで構成することを特徴とするものである。

【0023】

また、本発明にかかるウォブル信号処理装置は、前記アドレス検出回路に接続されるAGC (Auto Gain Control) 回路を備え、前記AGC回路は、前記光ディスク媒体におけるクロストークの影響でADIP部の振幅が減少、或いは増大した場合に自動的に振幅調整を行なうことを特徴とするものである。

【0024】

また、本発明にかかるウォブル信号処理装置は、前記ピックアップが、波形の歪み具合に応じて、ピックアップレーザのビームスポット径を調整し、信号成分抽出度合いを調節する開口率判定器を備えることを特徴とするものである。

【0025】

また、本発明にかかるウォブル信号処理装置は、該ウォブル信号処理装置が、前記PLL回路より供給される同期クロックにて動作し、前記同期クロックは、ディスクの角速度に対応するように切り替えられるものであることを特徴とするものである。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0027】

(実施の形態1)

以下に、本発明の実施の形態 1 によるウォブル信号処理装置について説明する。

図 1 は、本発明の実施の形態 1 におけるウォブル信号処理装置の構成を示すブロック図である。図において、本発明にかかるウォブル信号処理装置は、ピックアップ 101 と、FEP (Front End Processor) 102 と、ADC 103 (Analog Digital Converter) と、アドレス検出回路 104 と、WBL 2 値化回路 105 と、波形整形回路 106 と、位相調整回路 107 と、PLL 回路 108 とから構成される。

【0028】

ピックアップ 101 は、記録媒体から読み出したウォブル信号（以下、WBL 信号とする）を FEP 102 に、ウォブル 2 値化信号（以下、WBL 2 値化信号とする）を WBL 2 値化回路 105 に、RF 信号を波形整形回路 106 にそれぞれ出力する。なお、ピックアップ 101 の構成としては、図 7 に示すようにピックアップ 101 内に光ディスク媒体 71 から読み出された波形の歪み具合を判定する開口率判定器 73 を設けたものであってもよく、図 7 に示す開口率判定器 73 を設けたピックアップ 101 によれば、出力波形が歪んで読み取りにくい場合には、該開口率判定器 73 から出力される制御信号 74 に基づいて、ピックアップレーザ 72 のスポット径が調節され、信号成分抽出度合いを調節することが可能となる。

【0029】

FEP 102 は、入力された WBL 信号に対して帯域制限、及びゲイン調整を行うものであり、ここでは、記録媒体におけるクロストークの影響で ADIP (Address In Pre-Groove) 部の振幅が減少又は拡大している場合に、自動的に振幅調整を行なう AGC (Auto Gain Control) を備えるものとする。

ADC 103 は、FEP 102 から出力されたアナログ信号をデジタル信号に変換するものであり、ここでは、ビット分解能を 7 ビットで構成するものとする。

【0030】

アドレス検出回路 104 は、デジタルフィルタ 109 と、PRML (Partial

Response Maximum Likelihood) 回路 1 1 0 とから構成され、ADC 1 0 3 からの出力信号を入力として、デジタル方式による信号処理を行ない、ADIP 信号を検出する。なお、デジタルフィルタ 1 0 9 は、ここでは、IIR (Infinity Impulse Response) のデジタル方式を用いる LPF (Low pass Filter) とする。

WBL2 値化回路 1 0 5 は、ピックアップ 1 0 1 から出力された WBL2 値化信号に対してエッジを平均化して出力する。

【0031】

波形整形回路 1 0 6 は、デジタルフィルタ 1 1 1 により構成され、ピックアップ 1 0 1 により読み出された RF 信号を入力として、デジタル方式による信号処理を行ない、WBL2 値化信号波形を生成する。なお、デジタルフィルタ 1 1 1 は、ここでは、IIR 型のデジタル方式を用いる BPF (Band pass Filter) とする。

【0032】

位相調整回路 1 0 7 は、波形整形回路 1 0 6 からの出力波形を参照して、WBL2 値化回路 1 0 5 から出力される WBL2 値化信号の位相調整を行ない、位相調整信号を出力する。

PLL (Phase Locked Loop) 回路 1 0 8 は、位相調整回路 1 0 7 から出力された位相調整信号をもとに同期クロックを生成する。

【0033】

次に、本発明の実施の形態 1 によるウォブル信号処理装置の動作について説明する。なお、本発明の実施の形態 1 によるウォブル信号処理装置は、PLL 回路 1 0 8 から各回路に入力される同期クロックにて動作しており、ディスクの角速度に対応するようにクロック切り替えが行なわれている。なお、使用される同期クロックとしては、WBLPLLCLK、WCLK、CLKTCH、CLKSYS 等がある。

【0034】

先ず、本発明の実施の形態 1 によるウォブル信号処理装置において、FEP 1 0 2、ADC 1 0 3、及びアドレス検出回路 1 0 4 による ADIP 信号の検出処理について説明する。

【 0 0 3 5 】

ピックアップ 1 0 1 から W B L 信号の入力を受けた F E P 1 0 2 は、入力された W B L 信号に対して帯域制限、及びゲイン調整を行い、 A D C 1 0 3 に出力する。また、この時、記録媒体におけるクロストークの影響で A D I P (Address In Pre-Groove) 部の振幅が減少又は拡大している場合には、 F E P 1 0 2 に設けられた A G C が、自動的に振幅調整を行ない安定した信号出力を実現する。

【 0 0 3 6 】

F E P 1 0 2 から W B L 信号の出力を受けた A D C 1 0 3 は、当該アナログ方式の信号である W B L 信号をデジタル方式の信号に変換する。

そして、 A D C 1 0 3 によりデジタル方式の信号に変換された W B L 信号は、アドレス検出回路 1 0 4 に入力され、アドレス検出回路 1 0 4 において、デジタル方式によって信号処理が行われ、 A D I P 信号が検出される。

【 0 0 3 7 】

以下に、このアドレス検出回路 1 0 4 の動作についてさらに詳細に説明する。

まず、アドレス検出回路 1 0 4 を構成するデジタルフィルタ 1 0 9 について図 2、図 3 を用いて説明する。なお、図 2、図 3 に示すデジタルフィルタは、 I I R 型のデジタル方式を用いる L P F であり、それぞれ、本発明の実施の形態 1 によるデジタルフィルタ 1 0 9 の構成の一例を示し、デジタルフィルタ 1 0 9 を実装する際には、図 2、図 3 に示す何れのデジタルフィルタを用いてデジタルフィルタ 1 0 9 を構成してもよいものである。

【 0 0 3 8 】

図 2 は本発明のアドレス検出回路を構成するデジタルフィルタの構成の一例を示す図である。

図 2 に示す I I R 型のデジタル方式を用いる L P F は、係数器 (乗算器) 2 1 と、加算器 2 2 と、減算器 2 3 と、レジスタ 2 4 とからなり、入力データとタップ係数値との乗算で構成され双一次変換方式による演算処理を行なう。なお、かかるデジタルフィルタ 1 0 9 におけるタップ係数値は、例えば、 L M S 方式 (最小自乗方式) で最適化されることにより自動的に算出されるものである。また、自動的に算出されたタップ係数値を外部に設けられた記憶部に記憶しておき、以

降のフィルタリングにおいて、前記記憶部に記憶したタップ係数値を用いるようにした場合には、毎回最適となるタップ係数値を計算する必要がなく、演算時間を省き効率的にフィルタリングを行うことができる。

【 0 0 3 9 】

また、図中の X_n は入力信号、 Y_n は出力信号を示し、入力信号を X_n 、出力信号を Y_n とした場合の伝達関数 $H(s)$ 、及び出力信号 Y_n は、以下に示す【数 1】のようになる。

【 0 0 4 0 】

【数 1】

$$H(S) = \frac{\omega_0^2}{S^2 + \frac{\omega_0}{Q} S + \omega_0^2} \quad (\text{但し } \frac{\omega_0}{Q} = \frac{2\pi f_c}{q_1}, S = \frac{2}{T} \times \frac{1-D}{1+D})$$

$$Y_n = \frac{1}{C} \{ \omega_0^2 X_n + 2\omega_0^2 X_{n-1} + \omega_0^2 X_{n-2} + B Y_{n-1} - A Y_{n-2} \}$$

$$(\text{但し } A = \frac{4}{T^2} - \frac{2\omega_0}{q_1 T} + \omega_0^2, B = \frac{8}{T^2} - 2\omega_0^2,$$

$$C = \frac{4}{T^2} + \frac{2\omega_0}{q_1 T} + \omega_0^2, \omega_0 = 2\pi f_c)$$

【 0 0 4 1 】

このとき f_c はカットオフ周波数、 q_1 は遮断特性値、 T は動作周波数（チャネルレート）を意味する。

また、図中の RST は、外部からデジタルフィルタ 1 0 9 に入力されるリセット信号を示すであり、デジタルフィルタ 1 0 9 を初期化するリセット機能を実現するものである。このようなりセット機能は、参考文献“デジタル信号処理（辻井重男著、昭晃堂）”に示されているように、IIR型フィルタの特性としてフィルタ特性が発散する可能性があるために設けられたものであり、デジタルフィルタ 1 0 9 からの出力値が発散した場合には、デジタルフィルタ 1 0 9 を初期化してシステムを安定させることができる。

【 0 0 4 2 】

また、図 3 は本発明のアドレス検出回路を構成するデジタルフィルタの構成の

一例を示す図である。

図 3 に示す I I R 型のデジタル方式を用いる L P F は、係数器（乗算器）3 1 と、加算器 3 2 と、減算器 3 3 と、レジスタ 3 4 とからなり、入力データとタップ係数値との乗算で構成され後進差分方式による演算処理が行われる。なお、かかるデジタルフィルタ 1 0 9 におけるタップ係数値は、例えば、L M S 方式（最小自乗方式）で最適化されることにより自動的に算出されるものである。また、自動的に算出されたタップ係数値を外部に設けられた記憶部に記憶しておき、以降のフィルタリングにおいて、前記記憶部に記憶したタップ係数値を用いるようにした場合には、毎回最適となるタップ係数値を計算する必要がなく、演算時間を省き効率的にフィルタリングを行うことができる。

【 0 0 4 3 】

また、図中の X_n は入力信号、 Y_n は出力信号を示し、入力信号を X_n 、出力信号を Y_n とした場合の伝達関数 $H(s)$ 、及び出力信号 Y_n は、以下に示す [数 2] のようになる。

【 0 0 4 4 】

【 数 2 】

$$H(S) = \frac{\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad \left(\text{但し } \frac{\omega_0}{Q} = \frac{2\pi f_c}{q_1}, s = \frac{1-D}{T} \right)$$

$$Y_n = \frac{B}{A} X_n + \frac{C}{A} Y_{n-1} - \frac{1}{A} Y_{n-2}$$

$$\left(\text{但し } A = 1 + \frac{\omega_0 T}{q_1} + \omega_0^2 T^2, B = \omega_0^2 T^2, C = 2 + \frac{\omega_0 T}{q_1}, \omega_0 = 2\pi f_c \right)$$

【 0 0 4 5 】

このとき f_c はカットオフ周波数、 q_1 は遮断特性値、 T は動作周波数（チャネルレート）を意味する。

また、図中の R S T は、上記図 2 の場合と同様に、外部からデジタルフィルタ 1 0 9 に入力されるリセット信号を示すであり、デジタルフィルタ 1 0 9 を初期化するリセット機能を実現するものである。このようなりセット機能は、参考文献“デジタル信号処理（辻井重男著、昭晃堂）”に示されているように、I I

R型フィルタの特性としてフィルタ特性が発散する可能性があるために設けられたものであり、デジタルフィルタ109からの出力値が発散した場合には、デジタルフィルタ109を初期化してシステムを安定させることができる。

【0046】

次に、アドレス検出回路104を構成するPRML回路110について図4を用いて説明する。

図4は、本発明の実施の形態1によるウォブル信号処理装置のADIP検出処理を説明するための波形図であり、図4(a)は、デジタルフィルタ109に入力されるWBL信号、図4(b)は、デジタルフィルタ109からの出力信号、図4(c)は、PRML回路110によりオフセットサンプリングした場合のオフセットサンプル、図4(d)は、PRML回路110によりピークサンプリングした場合のピークサンプルを示す図である。

【0047】

PRML回路110は、デジタルフィルタ109からの出力信号の誤り訂正を行ない、該誤り訂正を行なった信号を用いてADIP信号を検出する。図示するように、デジタルフィルタ109によって位相変調点のスミージングと雑音除去を行ない、該デジタルフィルタ109から出力された出力信号を8T周期でサンプリングさせることでPR(1, 1)方式に対応させる。なお、この際、サンプリング方式としてピークサンプリング方式とオフセットサンプリング方式とを切り替えて行なうものとする。

【0048】

ここでPR(1, 1)方式にサンプリングされたサンプル点に対してビタビ復号器で復号し誤り訂正を行う。この誤り訂正によって雑音や位相遅れ等不確定要素の原因で何らかの不具合が生じても正確にADIP検出が行える。なお、ADIP検出は誤り訂正後の値で4T連続のサンプル点をADIP部とみなしてADIP検出を行う。

【0049】

なお、本発明の実施の形態1によるウォブル信号処理装置におけるPRML回路110では、8T周期のサンプリングによってデータ処理することでPR(1

、1)方式により誤り訂正を行うものについて説明したが、例えば、 $a = b$ の関係を有するPR(a, b)方式により誤り訂正を行なうもの等、PR係数を好適に設定すれば、本発明と同様の効果を得ることができる。

【0050】

次に、本発明の実施の形態1によるウォブル信号処理装置において、WBL2値化回路105、波形整形回路106、位相調整回路107、PLL回路108により生成されるクロック信号の生成処理について説明する。

【0051】

WBL2値化回路105は、ピックアップ101から出力されたWBL2値化信号に対してエッジを平均化して位相調整回路107に出力する。また、波形整形回路106を構成するデジタルフィルタ111は、ピックアップ101により読み出されたRF信号を入力とし、当該入力信号をデジタル方式によって信号処理し、WBL2値化信号波形を生成して位相調整回路107に出力する。

【0052】

そして、WBL2値化回路105から出力される平均化されたWBL2値化信号と、波形整形回路106から出力されるWBL2値化信号波形は、位相調整回路107に入力され、波形整形回路106から出力された出力波形を参照して、WBL2値化回路105から出力されたWBL2値化信号の位相の調整が行なわれ、生成された位相調整信号をPLL回路108に出力する。

PLL回路108は、位相調整回路107から出力された位相調整信号をうけ、当該位相調整信号に同期する同期クロックを生成する。

【0053】

以下に、波形整形回路106を構成するデジタルフィルタ111の構成について図5を用いてさらに詳しく説明する。

図5は本発明の波形整形回路を構成するデジタルフィルタの構成の一例を示す図である。

【0054】

図5に示すIIR型のデジタル方式を用いるBPFは、係数器(乗算器)51と、加算器52と、減算器53と、レジスタ54とからなり、入力データとタッ

プ係数値との乗算で構成され双一次変換方式による演算処理が行われる。なお、かかるデジタルフィルタ 1 0 9 におけるタップ係数値は、例えば、LMS方式（最小自乗方式）で最適化されることにより自動的に算出されるものである。また、自動的に算出されたタップ係数値を外部に設けられた記憶部に記憶しておき、以降のフィルタリングにおいて、前記記憶部に記憶したタップ係数値を用いるようにした場合には、毎回最適となるタップ係数値を計算する必要がなく、演算時間を省き効率的にフィルタリングを行うことができる。

【 0 0 5 5 】

また、図中の X_n は入力信号、 Y_n は出力信号を示し、入力信号を X_n 、出力信号を Y_n とした場合の伝達関数 $H(s)$ 、及び出力信号 Y_n は、以下に示す【数 3】のようになる。

【 0 0 5 6 】

【数 3】

$$H(S) = \frac{\frac{\omega_0}{Q} S}{S^2 + \frac{\omega_0}{Q} S + \omega_0^2} \quad (\text{但し } \frac{\omega_0}{Q} = \frac{2\pi f_c}{q_1}, S = \frac{2}{T} \times \frac{1-D}{1+D})$$

$$Y_n = \frac{B}{A^2+B+C} X_n - \frac{B}{A^2+B+C} X_{n-2} - \frac{2(A^2-C)}{A^2+B+C} Y_{n-1} - \frac{A^2-B+C}{A^2+B+C} Y_{n-2}$$

$$(\text{但し } A=2\pi f_c, B = \frac{2A}{q_1 T}, C = \frac{4}{T^2})$$

【 0 0 5 7 】

このとき f_c はカットオフ周波数、 q_1 は遮断特性値、 T は動作周波数（チャネルレート）を意味する。

また、図中の RST は、外部からデジタルフィルタ 1 1 1 に入力されるリセット信号を示すであり、デジタルフィルタ 1 1 1 を初期化するリセット機能を実現するものである。このようなりセット機能は、参考文献“デジタル信号処理（辻井重男著、昭晃堂）”に示されているように、IIR型フィルタの特性としてフィルタ特性が発散する可能性があるために設けられたものであり、デジタルフィルタ 1 1 1 からの出力値が発散した場合には、デジタルフィルタ 1 1 1 を初期

化してシステムを安定させることができる。

【 0 0 5 8 】

次に、位相調整回路 1 0 7 の構成について図 6 を用いてさらに詳しく説明する。

図 6 は、本発明の位相調整回路の構成の一例を示す図である。

図示するように、位相調整回路 1 0 7 には、W B L 2 値化回路 1 0 5 から出力される平均化された W B L 2 値化信号と、デジタルフィルタ 1 1 1 から出力される W B L 2 値化信号波形が入力されるとともに、P C 等による演算により誤差エッジ、及び位相位置誤差が与えられる。

【 0 0 5 9 】

位相調整回路 1 0 7 は、W B L 2 値化回路 1 0 5 からの出力である W B L 2 値化信号とデジタルフィルタ 1 1 1 からの出力である W B L 2 値化信号波形との位相は一致していないことから、位相調整を行うものであり、ここでは、W B L 2 値化信号とデジタルフィルタ後の W B L 信号との位相差を算出し、レジスタを用いて W B L 2 値化信号を遅延させ、位相を調整する。なお、位相差の検出方法はデジタルフィルタ出力エッジカウンタ 6 1 でエッジの数をカウントして、比較器 6 2 が有する予め設定された比較値を参照し判定することで条件が満たされない場合はホールドカウンタ 6 3 により回路をホールドさせる。条件が満たされれば、ある一定値のレジスタ段数からなる遅延回路 6 4 からデータが出力され位相調整が行われる。

【 0 0 6 0 】

なお、図 6 で示した位相調整回路では、遅延回路 6 4 を用いて位相差を調整するものについて説明したが、回路がデジタル方式で構成されていることから予め算出されたクロック遅延情報を用いてカウンタ処理を行なうことにより位相のずれを補正するようにしても良い。なお、このようにカウンタ処理を行なう場合には、図 6 を用いて説明した位相調整回路の遅延回路 6 4 の構成を簡略化することができ、回路規模の縮小を図ることが可能である。

【 0 0 6 1 】

以上のように、本発明の実施の形態 1 によるウォブル信号処理装置によれば、

アドレス検出回路をデジタルフィルタとPRML回路で構成するとともに、波形整形回路をデジタルフィルタで構成し、ADIP信号検出処理、及びクロック信号の生成処理をデジタル方式により行なうことによって、回路規模の縮小や、パラメータのばらつきの減少、消費電力の削減を実現することができるとともに、製造段階において不良品が発生する可能性を低減することが可能となる。

【0062】

(実施の形態2)

以下に、本発明の実施の形態2によるウォブル信号処理装置について説明する。

図8は、本発明の実施の形態2によるウォブル信号処理装置の構成を示すブロック図である。図において、本発明にかかるウォブル信号処理装置は、ピックアップ101と、FEP102と、ADC103と、アドレス検出回路201と、WBL2値化回路105と、波形整形回路106と、位相調整回路107と、PLL回路108とからなる。

【0063】

なお、本発明の実施の形態2によるウォブル信号処理装置は、上述した本発明の実施の形態1によるウォブル信号処理装置とアドレス検出回路の構成が異なるものであるため、前記本発明の実施の形態1によるウォブル信号処理装置と同じ構成要素については、同一符号を付し、説明を省略する。

【0064】

アドレス検出回路201は、デジタルフィルタ109と、位相調整回路202と、乗算器203と、LPF204と、エッジ平均化回路205と、2値化回路206とからなる。なお、デジタルフィルタ109は、前記実施の形態1で説明したデジタルフィルタ109と同様のIIR型のデジタル方式を用いるLPFである。

【0065】

位相調整回路202は、デジタルフィルタ109からの出力波形を参照してWBL2値化回路105から出力されるWBL2値化信号の位相調整を行い、位相調整信号を出力する。

乗算器 2 0 3 は、デジタルフィルタ 1 0 9 からの出力信号と、位相調整回路からの位相調整信号とを乗算して、乗算結果を L P F 2 0 4 に出力する。

【 0 0 6 6 】

L P F 2 0 4 は、デジタルフィルタ 1 0 9 と同様の構成を有する I I R 型のデジタル方式を用いる L P F であり、乗算器 2 0 3 から出力された信号の遮断周波数以上の周波数の信号を減衰させ、遮断周波数以下の周波数の信号を 2 値化回路 2 0 6 に出力する。

【 0 0 6 7 】

エッジ平均化回路 2 0 5 は、デジタルフィルタ出力を 2 値化した信号に対してエッジを平均化して A D I P 信号を出力するためのクロックを生成する。これは、デジタルフィルタ出力を 2 値化した際にはデジタルフィルタ出力分だけ位相が遅れてしまうため、エッジ平均化回路 2 0 5 により W B L 2 値化回路 1 0 5 で平均化されたエッジとの位相を合わせることが必要となるためである。

2 値化回路 2 0 6 は、エッジ平均化回路 2 0 5 から出力されるクロックに基づいて、L P F 2 0 4 から出力される信号を 2 値化し、A D I P 信号を生成する。

【 0 0 6 8 】

次に、本発明の実施の形態 2 によるウォブル信号処理装置の動作について説明する。なお、本発明の実施の形態 2 によるウォブル信号処理装置は、P L L 回路 1 0 8 から各回路に入力される同期クロックにて動作しており、ディスクの角速度に対応するようにクロック切り替えが行なわれている。なお、使用される同期クロックとしては、W B L P L L O K、W C L K、C L K T C H、C L K S Y S 等がある。

【 0 0 6 9 】

先ず、本発明の実施の形態 2 によるウォブル信号処理装置において、F E P 1 0 2、A D C 1 0 3、及びアドレス検出回路 2 0 1 による A D I P の検出処理について説明する。

【 0 0 7 0 】

図 9 は、本発明の実施の形態 2 によるウォブル信号処理装置の A D I P 信号の検出処理を説明するための波形図である。

【 0 0 7 1 】

図 9 (a) は、ピックアップ 1 0 1 から読み出される W B L 信号の一例を示す図である。かかる W B L 信号は、 F E P 1 0 2 により帯域制限、及びゲイン調整が行われ、 A D C 1 0 3 によりデジタル信号に変換された後、デジタルフィルタ 1 0 9 に入力される。そして、かかる入力信号は、デジタルフィルタ 1 0 9 によりフィルタリングされ、図 9 (c) に示すようなデジタルフィルタ出力信号が出力される。

【 0 0 7 2 】

位相調整回路 2 0 2 では、図 9 (c) のデジタルフィルタ出力信号を参照して、 W B L 2 値化回路 1 0 5 から出力される W B L 2 値化信号 (図 9 (c)) の位相調整が行なわれ、位相調整信号が乗算器 2 0 3 に出力される。

【 0 0 7 3 】

そして、デジタルフィルタ 1 0 9 から出力されたデジタルフィルタ出力信号 (図 9 (c)) と、位相調整回路 2 0 2 から出力された位相調整信号 (図 9 (d)) とが乗算器 2 0 3 により乗算され、図 9 (e) に示す、乗算器出力信号が乗算器 2 0 3 から L P F 2 0 4 に出力される。

【 0 0 7 4 】

L P F 2 0 4 では、乗算器出力信号のフィルタリングを行ない、図 9 (f) に示す、 L P F 出力信号が生成される。当該 L P F 出力信号は、 2 値化回路 2 0 6 に入力され、エッジ平均化回路 2 0 5 により生成されるクロックと同期するように 2 値化され、図 9 (g) に示す、 A D I P 信号が得られる。

【 0 0 7 5 】

なお、本発明の実施の形態 2 によるウォブル信号処理装置を構成する W B L 2 値化回路 1 0 5、波形整形回路 1 0 6、位相調整回路 1 0 7、及び P L L 回路 1 0 8 によるクロック信号の生成処理については、前記実施の形態 1 によるウォブル信号処理装置のクロック信号の生成処理と同様であるため、ここでは説明を省略する。

【 0 0 7 6 】

以上のように、本発明の実施の形態 2 によるウォブル信号処理装置によれば、

アドレス検出回路をデジタルフィルタと位相調整回路とLPFとエッジ平均化回路と2値化回路とで構成するとともに、波形整形回路をデジタルフィルタで構成し、ADIP信号検出処理、及びクロック信号生成処理をデジタル方式により行なうことによって、回路規模の縮小や、パラメータのばらつきの減少、消費電力の削減を実現することができるとともに、製造段階において不良品が発生する可能性を低減することが可能となる。

【0077】

なお、本発明の実施の形態2によるウォブル信号処理装置では、図8に示すようにウォブル信号処理装置の位相調整回路202と位相調整回路107とを別々に設けるものについて説明したが、位相調整回路202の構成は、前記本発明の実施の形態1で説明した位相調整回路107と同様であり、実際の回路設計を行なう際には、一の位相調整回路により本発明にかかるウォブル信号処理装置を実現することが可能である。

【0078】

(実施の形態3)

以下に、本発明の実施の形態3によるウォブル信号処理装置について説明する。

図10は、本発明の実施の形態3によるウォブル信号処理装置の構成を示すブロック図である。図において、本発明にかかるウォブル信号処理装置は、ピックアップ101と、FEP102と、ADC103と、アドレス検出回路301と、WBL2値化回路105と、波形整形回路106と、位相調整回路107と、PLL回路108とからなる。

【0079】

なお、本発明の実施の形態3によるウォブル信号処理装置は、上述した本発明の実施の形態1によるウォブル信号処理装置とアドレス検出回路の構成が異なるものであるため、前記本発明の実施の形態1によるウォブル信号処理装置と同じの構成要素については、同一符号を付し、説明を省略する。

【0080】

アドレス検出回路301は、デジタルフィルタ109と、DSV (Digital Su

m Value) 演算器 3 0 2 とからなる。なお、デジタルフィルタ 1 0 9 は、前記実施の形態 1 で説明したデジタルフィルタ 1 0 9 と同様の I I R 型のデジタル方式を用いる L P F である。

D S V 演算器 3 0 2 は、矩形波をある閾値で切り分けデジタル処理を行ない、A D I P 信号を検出するものである。

【 0 0 8 1 】

次に、本発明の実施の形態 3 によるウォブル信号処理装置の動作について説明する。なお、本発明の実施の形態 3 によるウォブル信号処理装置は、P L L 回路 1 0 8 から各回路に入力される同期クロックにて動作しており、ディスクの角速度に対応するようにクロック切り替えが行なわれている。なお、使用される同期クロックとしては、W B L P L L O K、W C L K、C L K T C H、C L K S Y S 等がある。

【 0 0 8 2 】

先ず、本発明の実施の形態 3 によるウォブル信号処理装置における A D I P の検出処理について説明する。なお、ピックアップ 1 0 1、F E P 1 0 2、A D C 1 0 3 の動作については、前記実施の形態 1、及び 2 によるウォブル信号処理装置と同様であるためここでは説明を省略する。

【 0 0 8 3 】

ピックアップ 1 0 1、F E P 1 0 2、及び A D C 1 0 3 を介してデジタル方式の信号に変換された W B L 信号は、アドレス検出回路 3 0 1 に入力され、アドレス検出回路 3 0 1 においてデジタル方式によって信号処理が行われて A D I P 信号が検出される。

【 0 0 8 4 】

以下に、このアドレス検出回路 3 0 1 の動作についてさらに詳細に説明する。

アドレス検出回路 3 0 1 では、先ず、入力された W B L 信号が、デジタルフィルタ 1 0 9 によりフィルタリングされ、デジタルフィルタ出力が D V S 演算器 3 0 2 に入力される。

【 0 0 8 5 】

デジタルフィルタ出力を受けた D S V 演算器 3 0 2 は、デジタルフィルタ出力

である矩形波をある閾値で切り分けデジタル処理を行なってA D I P信号を検出する。具体的には、デジタルフィルタ1 0 9の出力を- 1, 0, + 1に変換して、- 1, + 1の数をカウントし、+ 1のカウント数、或いは- 1のカウント数が所定の閾値になればA D I P信号として出力する。

【0 0 8 6】

なお、本発明の実施の形態3によるウォブル信号処理装置を構成するW B L 2値化回路1 0 5、波形整形回路1 0 6、位相調整回路1 0 7、及びP L L回路1 0 8によるクロック信号の生成処理については、前記実施の形態1によるウォブル信号処理装置のクロック信号の生成処理と同様であるため、ここでは説明を省略する。

【0 0 8 7】

以上のように、本発明の実施の形態3によるウォブル信号処理装置によれば、アドレス検出回路をデジタルフィルタとD S V演算器で構成するとともに、波形整形回路をデジタルフィルタで構成し、A D I P信号検出処理、及びクロック信号生成処理をデジタル方式により行なうことによって、回路規模の縮小や、パラメータのばらつきの減少、消費電力の削減を実現することができるとともに、製造段階において不良品が発生する可能性を低減することが可能となる。

【0 0 8 8】

なお、本発明の実施の形態3では、D S V演算器3 0 2を備えるものについて説明したが、図1 1に示すように、D S V演算器3 0 2に替えて2値化回路4 0 2、及びカウンタ回路4 0 3を備え、2値化回路4 0 2から出力された2値化信号を入力として、カウンタ回路4 0 3により、+ 1、- 1をカウントし、+ 1のカウント数、或いは- 1のカウント数が所定の閾値となることによりA D I P信号として出力するようにしても良い。

【0 0 8 9】

【発明の効果】

以上のように、本発明にかかるウォブル信号処理装置によれば、記録再生可能な光ディスク媒体に記録されている情報を読み出すピックアップと、前記ピックアップから読み出されたウォブル2値化信号のエッジを平均化して出力するW

B L 2 値化回路と、前記ピックアップから読み出されたウォブル信号をデジタル信号に変換する A D C と、前記 A D C から出力される信号に基づいて、データのアドレス情報である A D I P 信号を検出するアドレス検出回路と、前記ピックアップから読み出された R F 信号に基づき、ウォブル 2 値化信号波形を生成する波形整形回路と、前記波形整形回路により生成された波形を参照し、前記 W B L 2 値化回路から出力されたウォブル 2 値化信号の位相調整を行う位相調整回路と、前記位相調整回路に接続され、位相調整後のデータをもとに同期クロックを生成する P L L 回路とを備え、前記アドレス検出回路、および波形整形回路をデジタル方式により構成したことにより、回路規模が従来よりも小規模で構成でき、消費電力を抑えることができるとともに、位相ずれの検出及び補正を適正に行うことができるので信号処理品質を向上させることができる。

【 0 0 9 0 】

また、本発明にかかるウォブル信号処理装置によれば、前記波形整形回路、及び前記アドレス検出回路が備えるデジタルフィルタが該デジタルフィルタを初期化するリセット機能を具備することにより、デジタルフィルタからの出力値が発散した場合であっても、デジタルフィルタを初期化してシステムを安定させることができる。

【 0 0 9 1 】

また、本発明にかかるウォブル信号処理装置によれば、前記デジタルフィルタが、最適なタップ係数値を算出するとともに、当該タップ係数値を外部に設けられた記憶部に記憶しておき、前記記憶部に記憶した最適なタップ係数値を用いて以降のフィルタリングを行なうことにより、毎回最適となるタップ係数値を計算することなく、演算時間を省き効率的にフィルタリングを行うことができる。

【 0 0 9 2 】

また、本発明にかかるウォブル信号処理装置によれば、前記アドレス検出回路を、前記デジタルフィルタと、前記デジタルフィルタからの出力信号の誤り訂正を行ない該誤り訂正を行なった信号を用いて A D I P 信号を検出する P R M L 回路とから構成することにより、雑音や位相遅れ等不確定要素の原因で何らかの不具合が生じてても正確に A D I P 検出を行うことができる。

【 0 0 9 3 】

また、本発明にかかるウォブル信号処理装置によれば、前記アドレス検出回路に接続されるA G C回路を備え、前記A G C回路が、前記光ディスク媒体におけるクロストークの影響でA D I P部の振幅が減少、或いは増大した場合に自動的に振幅調整を行なうことにより、システムを安定して動作させることができる。

【 0 0 9 4 】

また、本発明にかかるウォブル信号処理装置によれば、前記ピックアップが、波形の歪み具合に応じて、ピックアップレーザのビームスポット径を調整し、信号成分抽出度合いを調節する開口率判定器を備えることにより、システムを安定して動作させることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 によるウォブル信号処理装置の構成を示すブロック図

【図 2】

本発明のアドレス検出回路を構成する双一次変換方式 L P F の構成の一例を示す図

【図 3】

本発明のアドレス検出回路を構成する後進差分方式 L P F の構成の一例を示す図

【図 4】

本発明の実施の形態 1 によるウォブル信号処理装置の A D I P 検出処理を説明するための波形図

【図 5】

本発明の波形整形回路を構成する B P F の構成の一例を示す図

【図 6】

本発明の位相調整回路の構成の一例を示す図

【図 7】

本発明のピックアップの構成の一例を示す図

【図 8】

本発明の実施の形態 2 によるウォブル信号処理装置の構成を示すブロック図

【図 9】

本発明の実施の形態 2 によるウォブル信号処理装置の A D I P 信号の検出処理を説明するための波形図

【図 1 0】

本発明の実施の形態 3 によるウォブル信号処理装置の構成を示すブロック図

【図 1 1】

本発明の実施の形態 3 によるウォブル信号処理装置の他の構成を示すブロック図

【符号の説明】

- 1 0 1 ピックアップ
- 1 0 2 F E P
- 1 0 3 A D C
- 1 0 4、2 0 1、3 0 1、4 0 1 アドレス検出回路
- 1 0 5 W B L 2 値化回路
- 1 0 6 波形整形回路
- 1 0 7、2 0 2 位相調整回路
- 1 0 8 P L L 回路
- 1 0 9、2 0 4 デジタルフィルタ (L P F)
- 1 1 0 P R M L 回路
- 1 1 1 デジタルフィルタ (B P F)
- 2 0 3 乗算器
- 2 0 5 エッジ平均化回路
- 2 0 6、4 0 2 2 値化回路
- 3 0 2 D S V 演算器
- 4 0 3 カウンタ回路
- 2 1、3 1、5 1 係数器 (乗算器)
- 2 2、3 2、5 2 加算器
- 2 3、3 3、5 3 減算器

2 4、3 4、5 4 レジスタ

6 1 デジタルフィルタ出力エッジカウンタ

6 2 比較器

6 3 ホールドカウンタ

7 1 光ディスク媒体

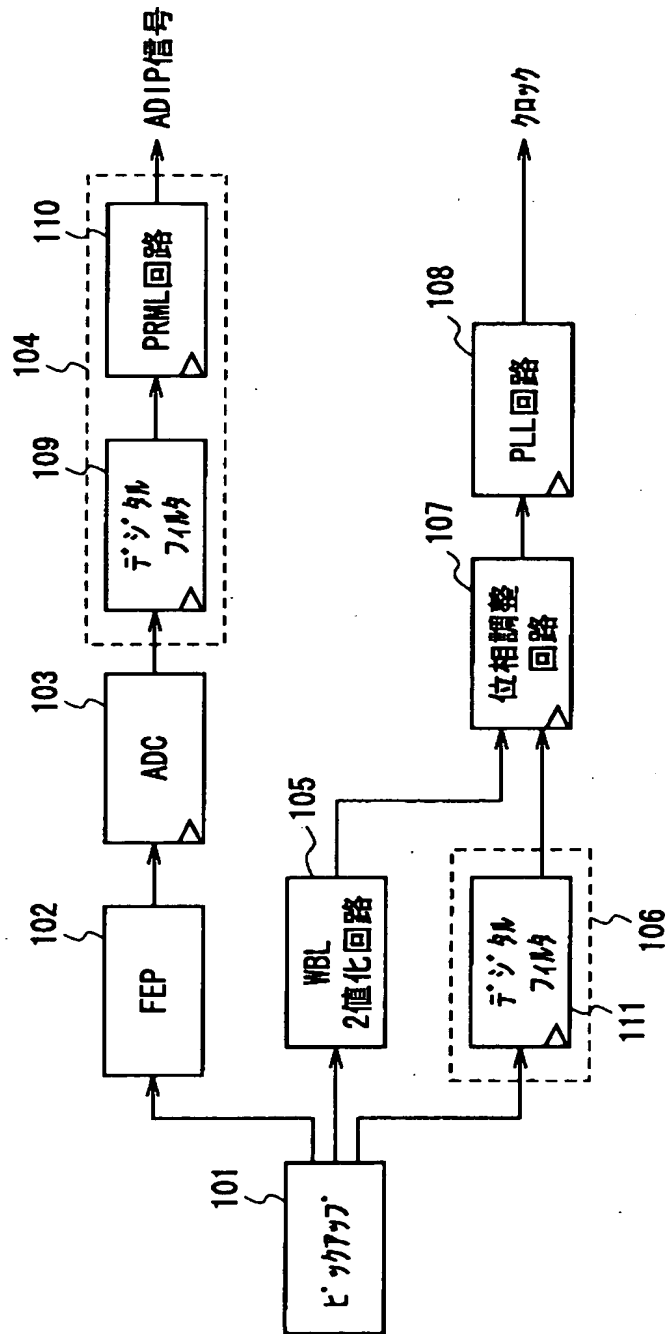
7 2 ピックアップレーザ

7 3 開口率判定器

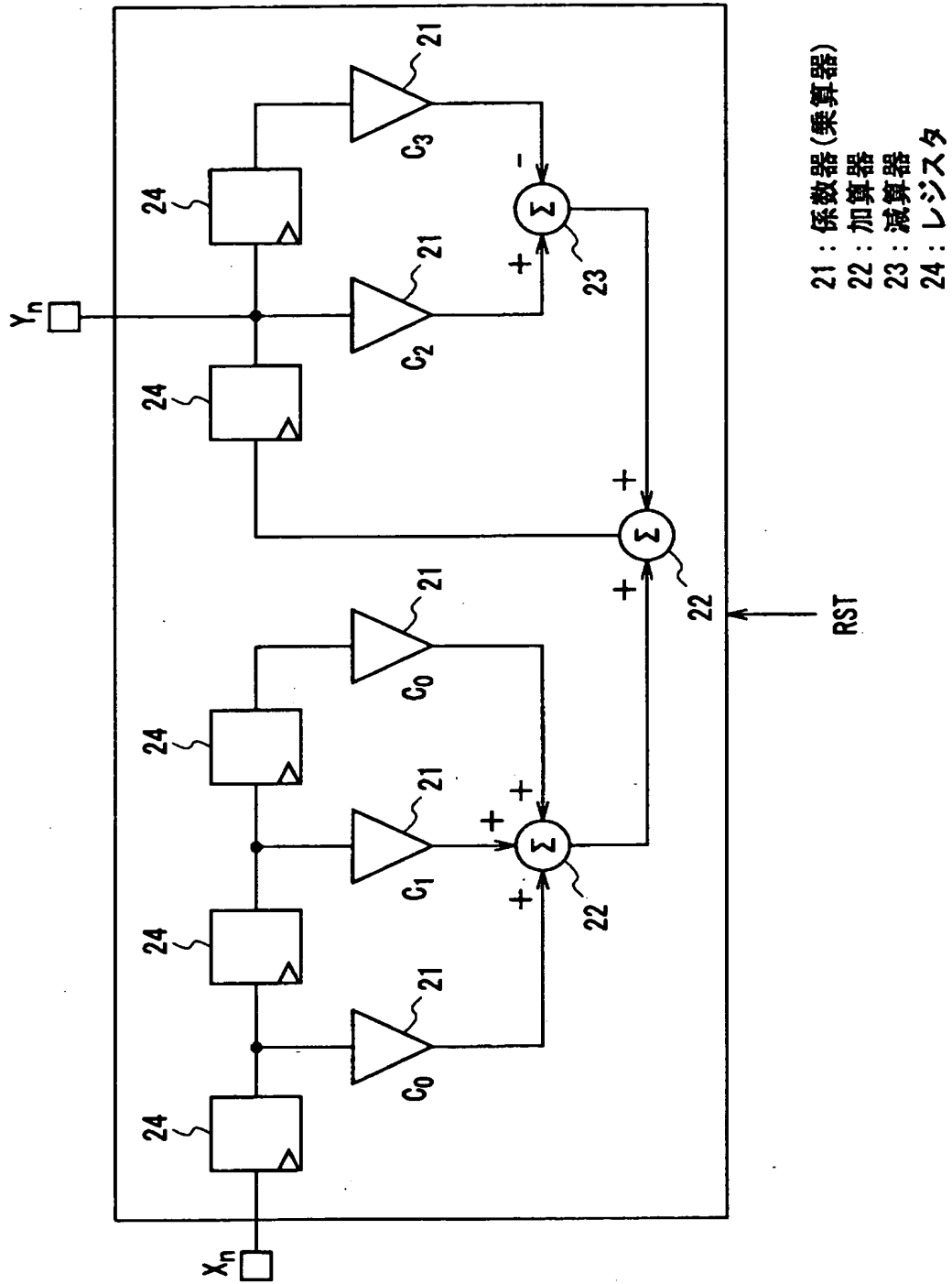
7 4 制御信号

【書類名】 図面

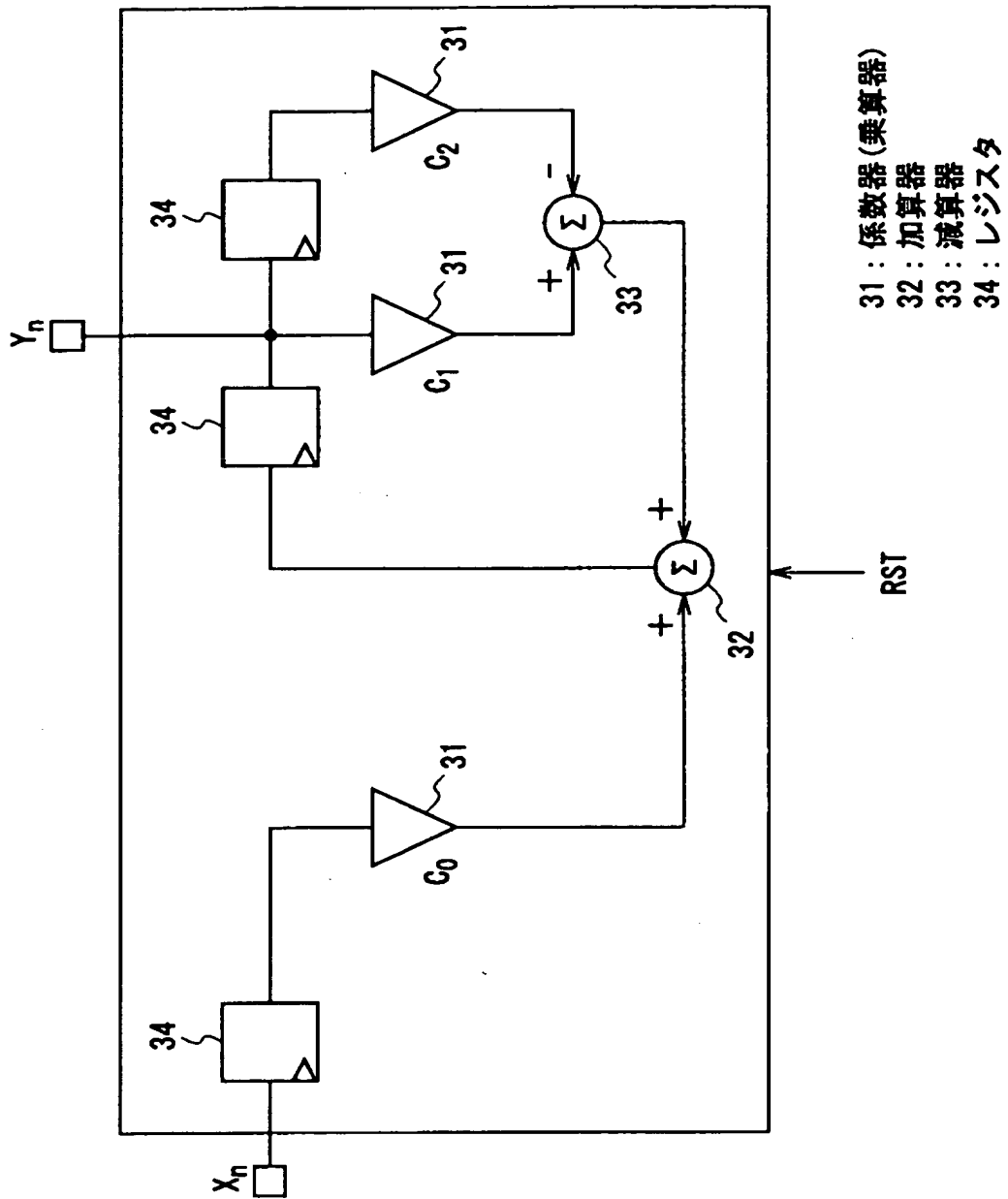
【図 1】



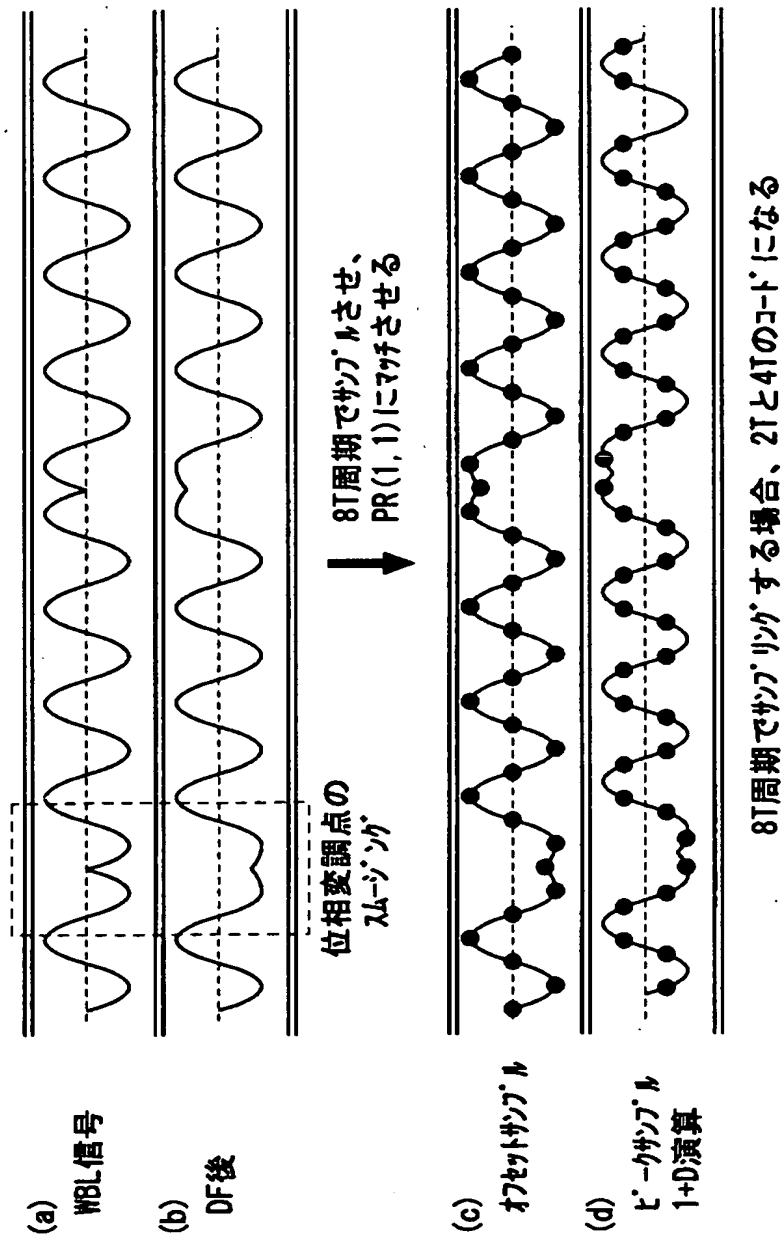
【図 2】



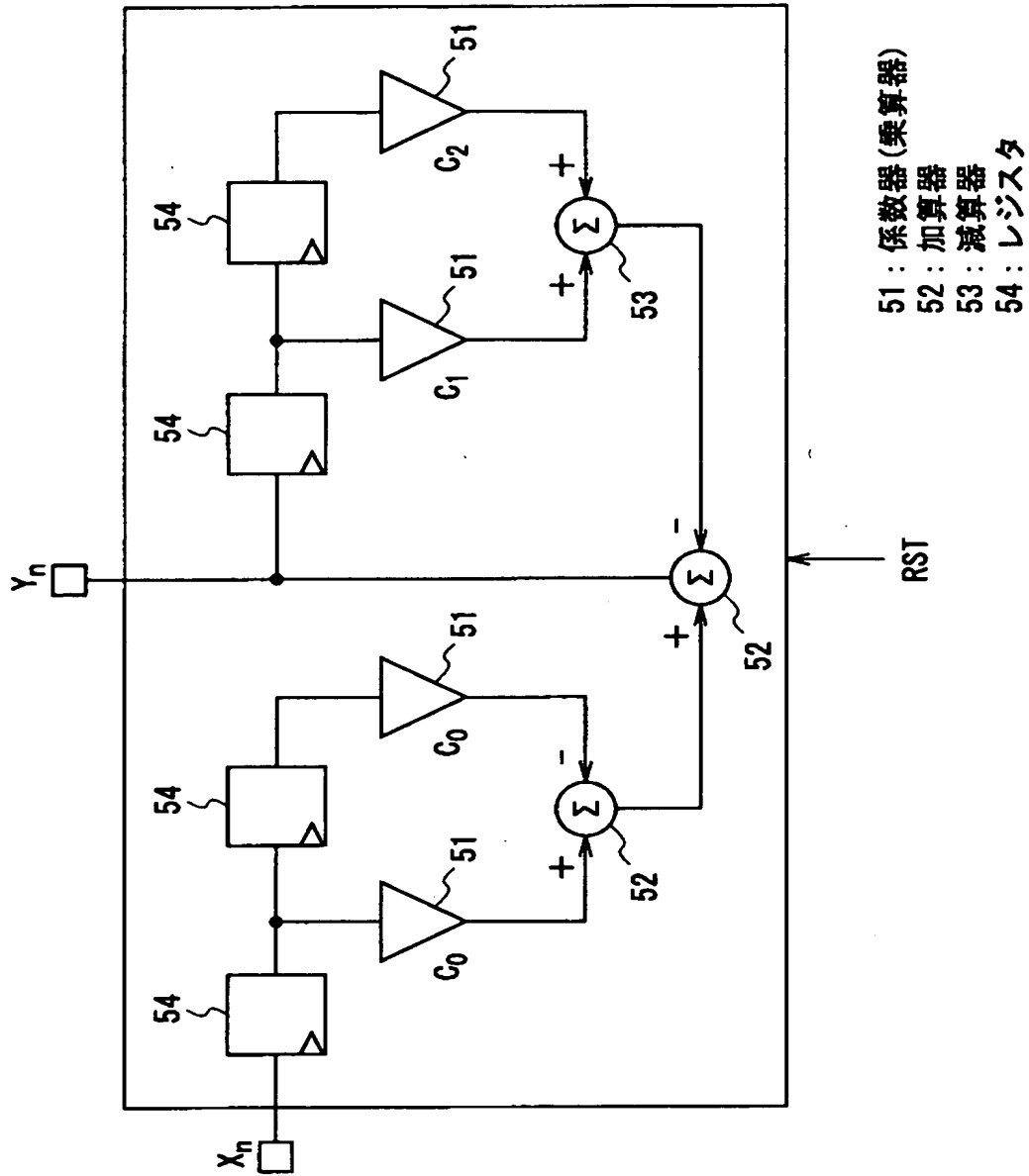
【図 3】



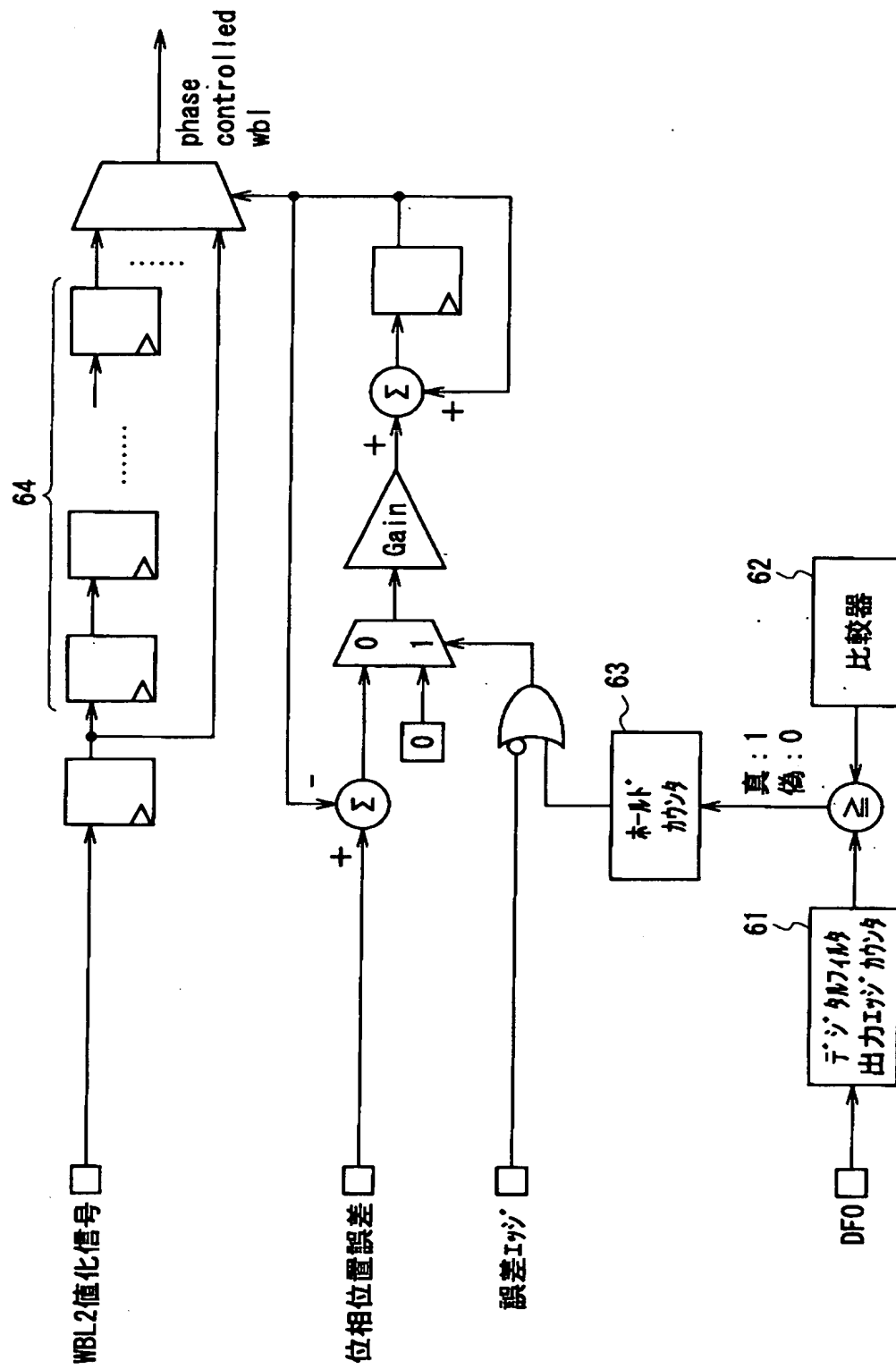
【図4】



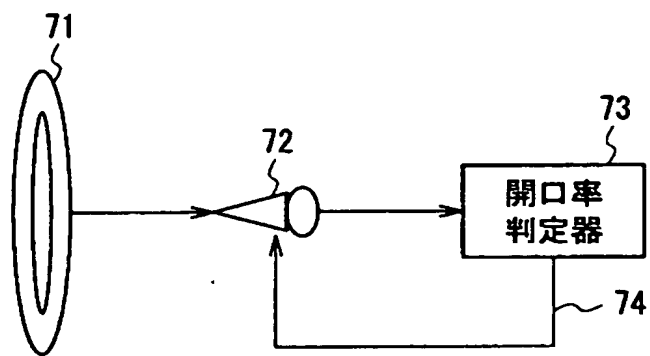
【図 5】



【図 6】

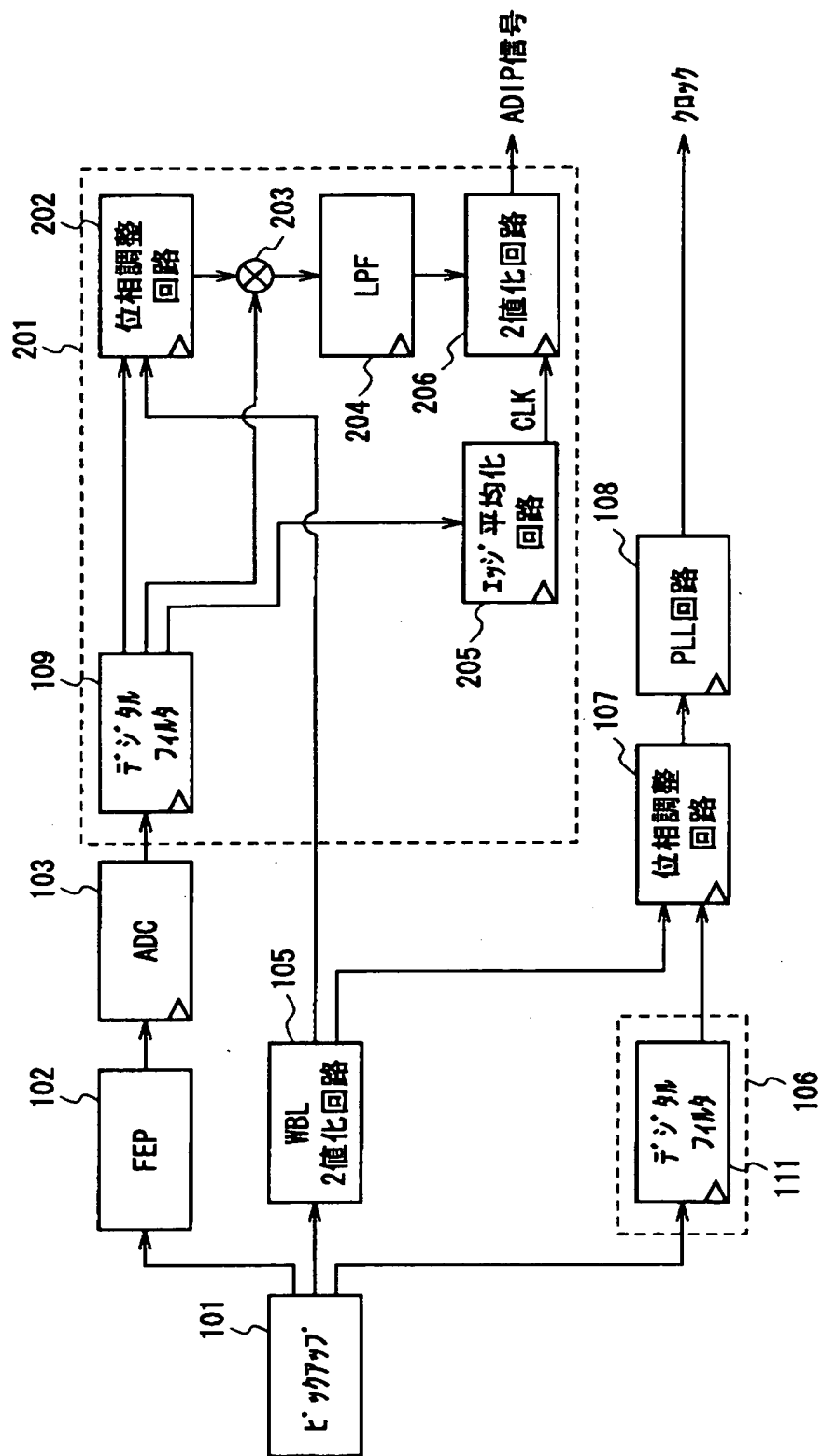


【図 7】

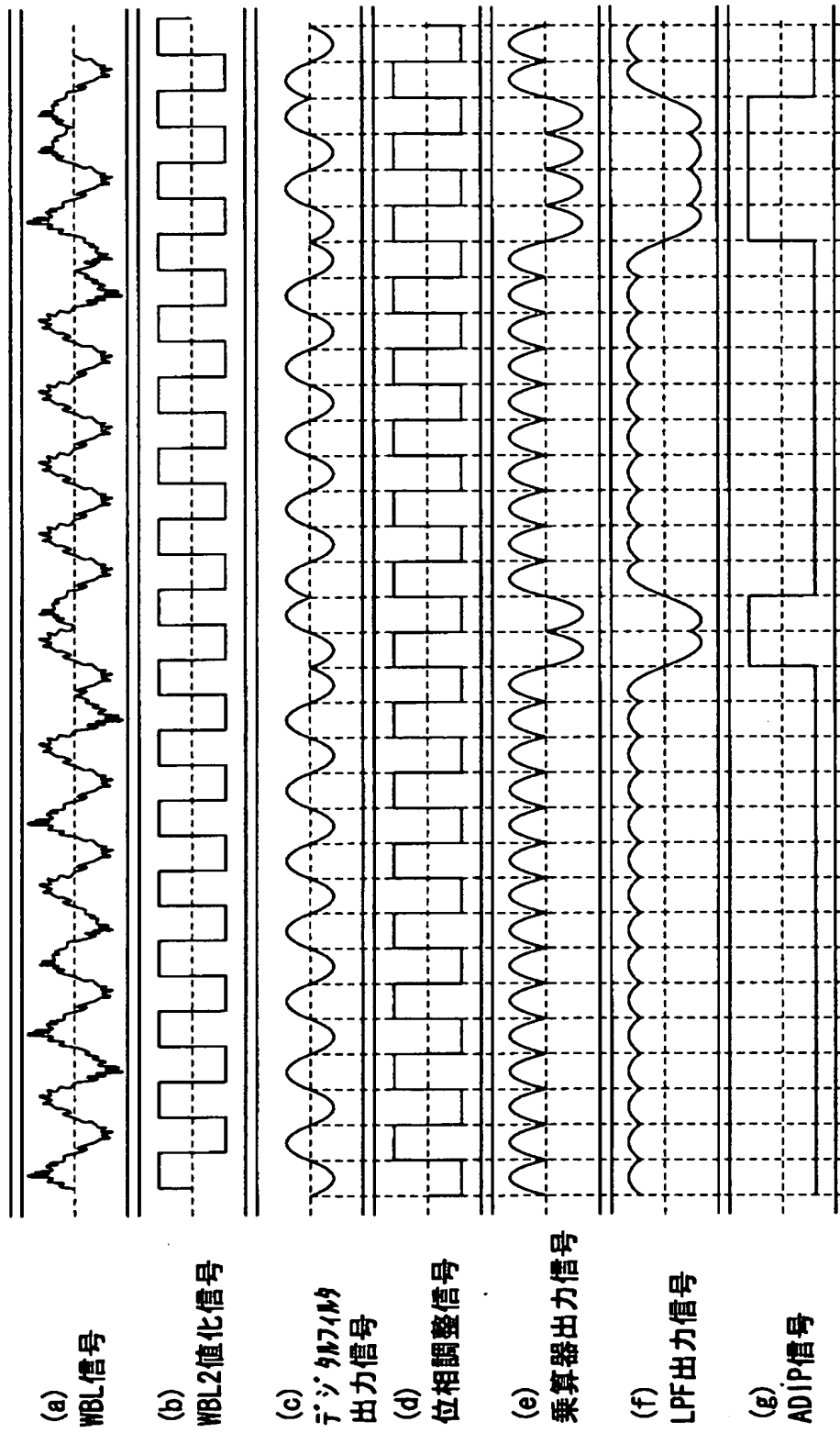


71 : 光ディスク媒体
 72 : ピックアップレーザ
 74 : 制御信号

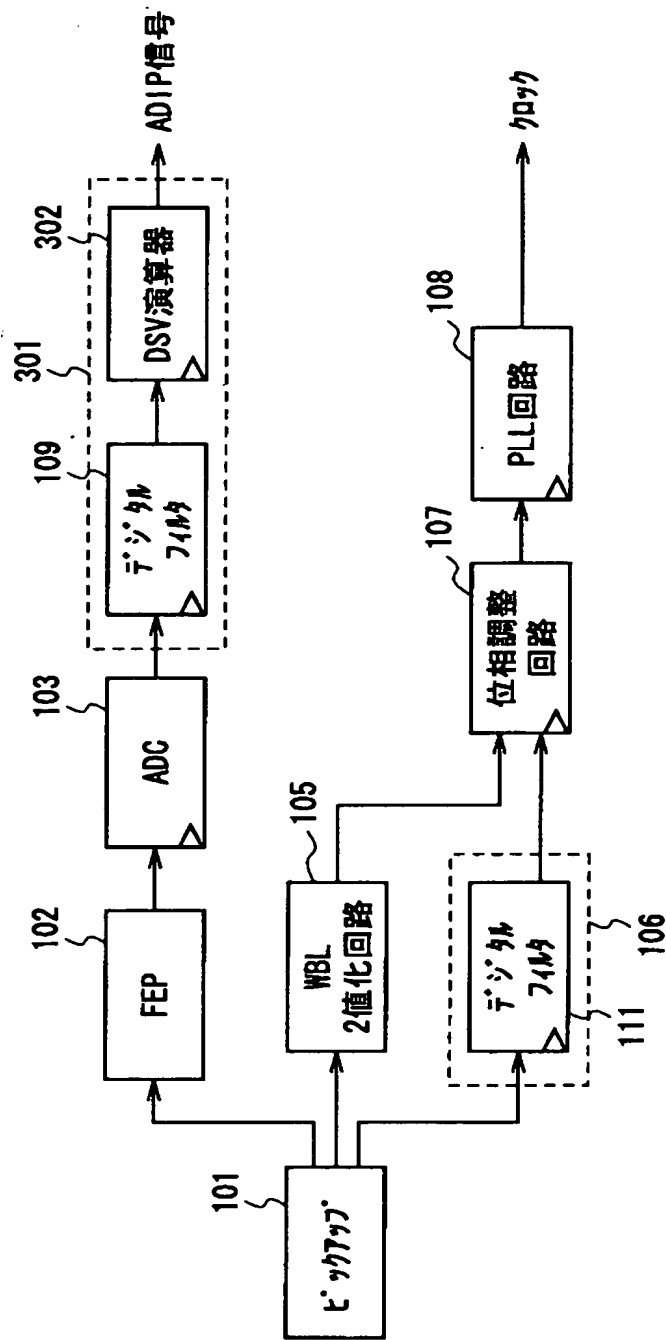
【図 8】



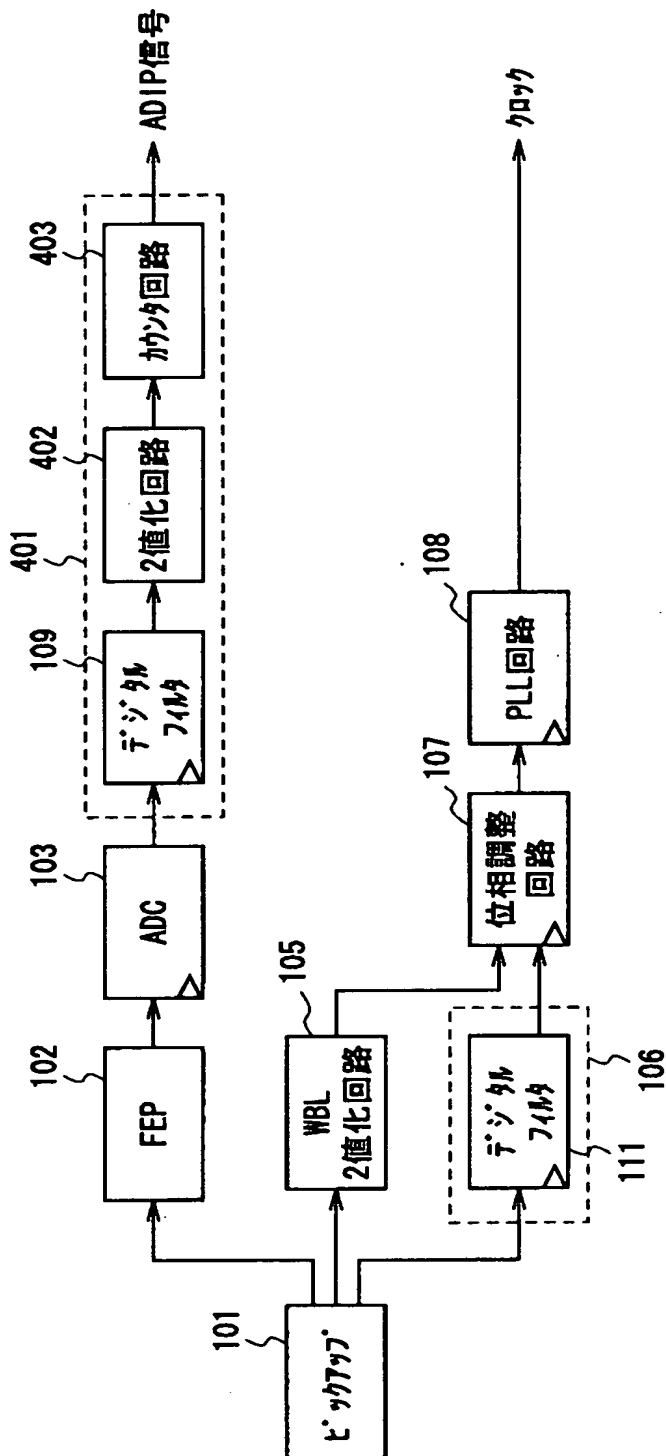
【図9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 本発明は、半導体プロセスのにおいて、プロセスのばらつきによる影響を受けやすい従来のアナログ方式処理に鑑みてなされたものであり、回路規模の縮小、低電力化を図るとともに、信号処理品質を向上することができるウォブル信号処理装置を提供する。

【解決手段】 アナログ方式で処理されていた箇所をデジタル方式で処理し、またPRML回路を導入することで誤り検出可能にする事で少面積化、低消費電力化の手段を提案する。本提案は、ウォブル信号処理装置に入力された信号の検出を向上させるための手段である。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社